



PATENT ABSTRACTS OF JAPAN

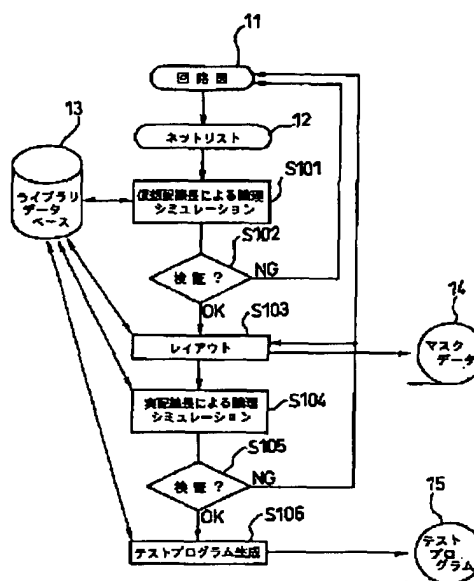
(11) Publication number: **2000305961 A**(43) Date of publication of application: **02.11.00****(54) CELL LIBRARY DATABASE AND DESIGN ASSISTING DEVICE**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To enable even a logical unit provided, with a control function of power supply and power interruption to perform logical simulation en block.

SOLUTION: In this device, one or more power supply terminal as a logical terminal is provided in a standard cell, and logical information or delay information for output terminals of each of one or more power supply terminals is imparted to function information of the standard cell for every kind in a cell library database 13. Also, one or more power supply terminals as logical terminals is provided in a macro cell, and logical information or delay information for output terminals of each of one or more power supply terminals is imparted to function information of macro cell for every kind in the cell library database 13. In the device, the logical simulation, etc., is performed by using the cell library database 13.



(51) Int. Cl.

G06F 17/50
G01R 31/28
(21) Application number: **11109785**(22) Date of filing: **16.04.99**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**
 (72) Inventor: **MORIWAKI TOSHIYUKI**
SAKIYAMA SHIRO
YAMAMOTO HIROO
KAJIWARA JUN
KINOSHITA MASAYOSHI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-305961

(P2000-305961A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 6 4 K 2 G 0 3 2

G 0 1 R 31/28

G 0 1 R 31/28

F 5 B 0 4 6

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平11-109785

(22) 出願日 平成11年4月16日 (1999. 4. 16)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森脇 俊幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 崎山 史朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100073874

弁理士 萩野 平 (外 3 名)

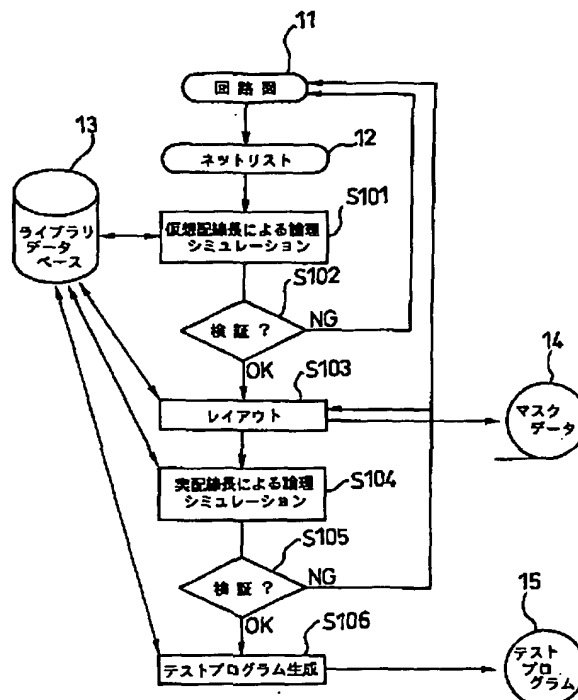
最終頁に続く

(54) 【発明の名称】 セルライブラリデータベースおよび設計支援装置

(57) 【要約】

【課題】 電源の供給および供給停止の制御機能を備えた論理装置についても、論理装置全体を一括して論理シミュレーションを行い得るセルライブラリデータベースおよび設計支援装置を提供することを目的とする。

【解決手段】 標準セルに論理端子としての1以上の電源端子を備え、セルライブラリデータベース13内の種別毎の標準セルの機能情報に1以上の電源端子それぞれの出力端子に対する論理情報または遅延情報を持ち、また、マクロセルに論理端子としての1以上の電源端子を備え、セルライブラリデータベース13内の種別毎のマクロセルの機能情報に1以上の電源端子それぞれの出力端子に対する論理情報または遅延情報を持ち、設計支援装置では、該セルライブラリデータベース13を用いて論理シミュレーション等を行う。



【特許請求の範囲】

【請求項1】 論理装置を構成する基本回路（以下、標準セルという）について種別毎に該標準セルの機能情報を持つセルライブラリデータベースにおいて、前記標準セルは、論理端子としての1以上の電源端子を備え、該標準セルの機能情報に前記1以上の電源端子それぞれの出力端子に対する論理情報を含むことを特徴とするセルライブラリデータベース。

【請求項2】 論理装置を構成する基本回路（以下、標準セルという）について種別毎に該標準セルの機能情報を持つセルライブラリデータベースにおいて、前記標準セルは、論理端子としての1以上の電源端子を備え、該標準セルの機能情報に前記1以上の電源端子それぞれの出力端子に対する遅延情報を含むことを特徴とするセルライブラリデータベース。

【請求項3】 論理装置を構成し機能的なまとまりを持つ回路（以下、マクロセルという）について種別毎に該マクロセルの機能情報を持つセルライブラリデータベースにおいて、前記マクロセルは、論理端子としての1以上の電源端子を備え、該マクロセルの機能情報に前記1以上の電源端子それぞれの出力端子に対する論理情報を含むことを特徴とするセルライブラリデータベース。

【請求項4】 論理装置を構成し機能的なまとまりを持つ回路（以下、マクロセルという）について種別毎に該マクロセルの機能情報を持つセルライブラリデータベースにおいて、前記マクロセルは、論理端子としての1以上の電源端子を備え、該マクロセルの機能情報に前記1以上の電源端子それぞれの出力端子に対する遅延情報を含むことを特徴とするセルライブラリデータベース。

【請求項5】 請求項1、2、3または4に記載のセルライブラリデータベースを備えて論理装置の設計を支援することを特徴とする設計支援装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路等の論理装置の設計支援（CAD；Computer Aided Design）において使用されるセルライブラリデータベースおよび該セルライブラリデータベースを用いた設計支援装置に関し、特に、論理装置の論理や遅延等の設計検証、故障解析並びにソフトウェア開発用ツールなどに用いられる論理シミュレーションに好適なセルライブラリデータベースおよび設計支援装置に関する。

【0002】

【従来の技術】従来より、半導体集積回路等の論理装置の設計支援（CAD）においては、LSI等のチップ、システム、装置等における低消費電力化の重要性が増大している中で、様々な技術、考え方により低消費電力化が図られつつある。

【0003】この低消費電力化の技術の1つに、従来の単一電源から複数電源に変更する設計手法がある。これは例えばLSIにおいて、外部とのインターフェイス回路については従来の電源電圧のままとし、内部回路については電源電圧を下げることによりLSIの低消費電力化を図ろうとするものである。また同様の考え方で、高速性能が要求されるLSI内部のブロックには従来電源電圧を与え、高速性の要求されないブロックには低い電源電圧を与えることによって、LSIの低消費電力化が可能となる。

【0004】上記に例示したようなLSIの回路設計を行う場合、同一の標準セルを異なる電源電圧のもとで使用する可能性があるため、論理シミュレーションの際には、同じ論理を持ったセルでも、各電源電圧に対応したセルライブラリデータベースを準備して、該セルライブラリデータベースを用いて設計検証する必要がある。このような複数電源が混在したLSIの設計検証を行う半導体設計支援装置については、特開平6-260557号公報に開示されたものがある。以下にその内容を簡単に説明する。

【0005】この従来の半導体設計支援装置は、回路図を描くときに、同じ論理機能を持つセルは同じシンボルマークで表現されているが、それぞれのセルがどの電源電圧で動作するセルであるかを回路図中に示すことにより、回路図からネットリストに展開する際に、該当する機能と動作電源電圧の組み合わせによって予め決められたセル名に変換することで、セルライブラリデータベース中の該当する論理セルの論理情報および電気特性を用いて論理シミュレーションを行なうというものである。

【0006】また、本従来例で用いるセルライブラリデータベースの内容は、図8に例示される通りであり、セルライブラリ登録情報500には、セル（NANDゲート510）のシンボルマーク501、入力信号A、Bと出力信号Yの論理関係表502、入力信号A、Bが変化してから出力信号Yが出力されるまでの伝搬遅延時間を示した遅延時間表503などの情報が含まれている。

【0007】

【発明が解決しようとする課題】また、上述した低消費電力化の技術とは別の第3の技術として、回路動作が不必要な時には該論理ブロックへの電源供給を停止し、回路動作が必要な時に論理ブロックに電源を供給するという制御機能を持たせることにより、無駄な回路動作を削減して回路全体の消費電力を減らすというものがある。

【0008】しかしながら、上記従来の設計支援装置にあつては、複数電源が混在した半導体集積回路の論理シミュレーションは可能であるが、常に電源が供給されているという前提で、セルライブラリデータベースの登録情報として論理情報や遅延時間情報の記述がされているため、上記第3の低消費電力化技術のように、論理ブロックへの電源の供給および供給停止の機能を備えた回路

について論理シミュレーションを行う場合には、全ての論理ブロックが常に動作していることになることから、回路全体を一度に論理シミュレーションしても本来想定している回路仕様の設計検証を行うことは不可能であり、電源の供給および供給停止の制御を行う回路と、論理ブロックの論理シミュレーションを個別に行ない確認するしかなく、回路全体の論理シミュレーションを一括して行うことができないことから、論理ブロック間の接続関係等の検証については、別途人手または機能シミュレーション等によって行うこととなり、設計検証作業が煩雑となる等の問題があった。

【0009】本発明は、上記従来の問題点に鑑みてなされたものであって、電源の供給および供給停止の制御機能を備えた論理装置についても、論理装置全体を一括して論理シミュレーションを行なうことができ、結果として正確で容易に論理シミュレーションを行なうことが可能なセルライブラリデータベースおよび設計支援装置を提供することを目的としている。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明の請求項1に係るセルライブラリデータベースは、論理装置を構成する基本回路（以下、標準セルという）について種別毎に該標準セルの機能情報を持つセルライブラリデータベースにおいて、前記標準セルは、論理端子としての1以上の電源端子を備え、該標準セルの機能情報に前記1以上の電源端子それぞれの出力端子に対する論理情報を含むものである。

【0011】また、請求項2に係るセルライブラリデータベースは、論理装置を構成する基本回路（以下、標準セルという）について種別毎に該標準セルの機能情報を持つセルライブラリデータベースにおいて、前記標準セルは、論理端子としての1以上の電源端子を備え、該標準セルの機能情報に前記1以上の電源端子それぞれの出力端子に対する遅延情報を含むものである。

【0012】また、請求項3に係るセルライブラリデータベースは、論理装置を構成し機能的なまとまりを持つ回路（以下、マクロセルという）について種別毎に該マクロセルの機能情報を持つセルライブラリデータベースにおいて、前記マクロセルは、論理端子としての1以上の電源端子を備え、該マクロセルの機能情報に前記1以上の電源端子それぞれの出力端子に対する論理情報を含むものである。

【0013】また、請求項4に係るセルライブラリデータベースは、論理装置を構成し機能的なまとまりを持つ回路（以下、マクロセルという）について種別毎に該マクロセルの機能情報を持つセルライブラリデータベースにおいて、前記マクロセルは、論理端子としての1以上の電源端子を備え、該マクロセルの機能情報に前記1以上の電源端子それぞれの出力端子に対する遅延情報を含むものである。

【0014】さらに、請求項5に係る設計支援装置は、請求項1、2、3または4に記載のセルライブラリデータベースを備えて論理装置の設計を支援するものである。

【0015】本発明の請求項1または2に係るセルライブラリデータベースおよび請求項5に係る設計支援装置では、標準セルに論理端子としての1以上の電源端子を備え、セルライブラリデータベース内の種別毎の標準セルの機能情報に1以上の電源端子それぞれの出力端子に対する論理情報または遅延情報を持ち、設計支援装置では、該セルライブラリデータベースを用いて論理シミュレーション等を行うようにしている。

【0016】ここで、標準セルは論理装置を構成する基本回路であるが、例えばNANDゲートやNORゲート等のゲート素子、フリップフロップ（ラッチ）等が該当する。また、電源端子には電源電位Vccや接地電位GND等が供給され、電源電位Vccには5[V]、3.3[V]、2.5[V]、1.8[V]等の複数種の電位が適用される。また、標準セルの論理情報としては、例えば入力端子および電源端子の出力端子に対する論理関係表等が該当するが、扱われる信号値としては、論理値“1”、“0”、“不定”に相当する“H”、“L”、“X”のみならず、信号の立上がりおよび立ち下がり状態を問題とする場合には遷移状態信号値として“↑”、“↓”が用いられ、またトリステート素子におけるハイインピーダンス状態を表す“Z”等も実信号値となる。また、標準セルの遅延情報としては、信号が素子内を伝搬するときに生じる伝搬遅延や、素子の駆動のためのエネルギーに関連して決まる慣性遅延等が該当する。さらに、ここでいう論理シミュレーションは、論理装置の論理や遅延等の設計検証のみならず、故障解析およびソフトウェア開発用ツールなどの広範囲の用途を持つものである。

【0017】このように、標準セルに論理端子としての1以上の電源端子を備えた上で、セルライブラリデータベース内の種別毎の標準セルの機能情報に1以上の電源端子それぞれの出力端子に対する論理情報を持つので、電源供給がスイッチング制御されている論理ブロックを含む論理装置であっても、電源の供給または供給停止による回路動作の相違をシミュレーションできるようになるため、論理装置全体の論理の設計検証等を一括して行うことが可能となり、また、1以上の電源端子それぞれの出力端子に対する遅延情報を持つので、電源供給のタイミングを考慮した遅延の設計検証等が可能となる。まとめれば、複数電源が混在した論理装置の論理シミュレーションを行うことができるのみならず、低消費電力化等の目的のために電源の供給および供給停止の制御機能を備えた論理装置についても、論理装置全体を一括して論理シミュレーションを行なうことができ、結果として正確で容易に論理シミュレーションおよび設計支援

を行なうことが可能となる。

【0018】また、請求項3または4に係るセルライブラリデータベースおよび請求項5に係る設計支援装置では、マクロセルに論理端子としての1以上の電源端子を備え、セルライブラリデータベース内の種別毎のマクロセルの機能情報に1以上の電源端子それぞれの出力端子に対する論理情報または遅延情報を持ち、設計支援装置では、該セルライブラリデータベースを用いて論理シミュレーション等を行うようにしている。

【0019】ここで、マクロセルは論理装置を構成し機能的なまとまりを持つ回路であるが、例えばレジスタ、データセクタ、レベルシフタ、加算器、メモリ等が該当する。また、電源端子には電源電位Vccや接地電位GND等が供給され、電源電位Vccには5[V]、3.3[V]、2.5[V]、1.8[V]等の複数種の電位が適用される。また、マクロセルの論理情報としては、例えば入力端子および電源端子の出力端子に対する論理関係表等が該当するが、扱われる信号値としては、論理値“1”、“0”、“不定”に相当する“H”、“L”、“X”のみならず、信号の立上がりおよび立ち下がり状態を問題とする場合には遷移状態信号値として“↑”、“↓”が用いられ、またトライステート素子におけるハイインピーダンス状態を表す“Z”等も実信号値となる。また、マクロセルの遅延情報としては、信号が当該マクロセル内を伝搬するときに生じる伝搬遅延や、駆動のためのエネルギーに関連して決まる慣性遅延等が該当する。さらに、ここでいう論理シミュレーションは、論理装置の論理や遅延等の設計検証のみならず、故障解析およびソフトウェア開発用ツールなどの広範囲の用途を持つものである。

【0020】このように、マクロセルに論理端子としての1以上の電源端子を備えた上で、セルライブラリデータベース内の種別毎のマクロセルの機能情報に1以上の電源端子それぞれの出力端子に対する論理情報を持つので、電源供給がスイッチング制御されている論理ブロックを含む論理装置であっても、電源の供給または供給停止による回路動作の相違をシミュレーションできるようにするため、論理装置全体の論理の設計検証等を一括して行うことが可能となり、また、1以上の電源端子それぞれの出力端子に対する遅延情報を持つので、電源供給のタイミングを考慮した遅延の設計検証等が可能となる。まとめて言えば、複数電源が混在した論理装置の論理シミュレーションを行うことができるのみならず、低消費電力化等の目的のために電源の供給および供給停止の制御機能を備えた論理装置についても、論理装置全体を一括して論理シミュレーションを行なうことができ、結果として正確で容易に論理シミュレーションおよび設計支援を行なうことが可能となる。

【0021】なお、本発明の請求項1および2に係るセルライブラリデータベースを用いればゲートレベルのシ

ミュレーションが可能であり、また請求項3および4に係るセルライブラリデータベースを用いれば機能レベルのシミュレーションが可能であり、また請求項1、2、3および4に係るセルライブラリデータベースを組み合わせ用いればゲートおよび機能の混合レベルのシミュレーションが可能であり、さらに、請求項3および4に係るセルライブラリデータベースを設計階層がより上位のモジュールに適用すれば、モジュールレベルのシミュレーションが可能である。また、本発明のセルライブラリデータベースおよび設計支援装置が対象とする論理装置には、IC、LSI、VLSI、ULSI等の半導体集積回路のみならず、ディスクリット部品を基板上に構成したような論理装置も含まれる。

【0022】

【発明の実施の形態】以下、本発明のセルライブラリデータベースおよび設計支援装置の実施の形態について、〔設計支援装置の実施形態〕、〔セルライブラリデータベースの第1の実施形態〕、〔セルライブラリデータベースの第2の実施形態〕の順に、図面を参照して詳細に説明する。

【0023】〔設計支援装置の実施形態〕図1は、本発明の実施形態に係る設計支援装置における動作を説明する概念説明図である。本実施形態の設計支援装置は、主として論理装置の論理や遅延等の設計検証を行って論理装置設計を支援するものであるが、対象とする論理装置は、IC、LSI、VLSI、ULSI等の半導体集積回路である。また、論理シミュレーションとして、ゲートレベル、機能レベル並びにゲートおよび機能の混合レベルのシミュレーションが可能である。

【0024】図1において、回路図11は、論理回路設計を経て得られるNANDゲートやNORゲート等のゲート素子、フリップフロップ（ラッチ）等が展開された回路図であり、レジスタ、データセクタ、レベルシフタ、加算器、メモリ等の機能素子（マクロ）を含む回路図であってもよい。この回路図の作成は、例えば素子間を対話的に結線するCAD用ワークステーションを用いて入力する。その結果、回路図には、どのような標準セルまたはマクロセルを使用して、またそれらセル間をどのように接続して所望の半導体集積回路を実現するかが示されている。

【0025】通常、ネットリスト12は、セルライブラリデータベース13を参照しながら回路図11から自動的に作成される。ネットリスト12は、回路図上のシンボル毎に、「シンボル識別名、シンボル（機能）素子名、ピン名、信号名、ピン名、信号名、…」という記述がなされたリストである。なお、「ピン名、信号名」の対はピン数と同じ数だけ繰り返し記述される。ここで、シンボルは、ゲートレベルではゲート素子等が、機能レベルでは機能素子がそれぞれ対応する。

【0026】次に、ステップS101で、仮想配線長に

よる論理シミュレーションが実行される。セルライブラリデータベース13に登録されている仮想配線長を抵抗、容量成分に変換して遅延計算を行い、その結果を元にシミュレーションを行うもので、具体的に該処理を行う手段は、例えばCAD用ワークステーション上の処理プログラムで実現されるものである。なお、以下で説明されるステップS103、S104、S106の処理についても同様である。

【0027】ステップS101の論理シミュレーションによる論理や遅延等の設計検証結果に応じて、ステップS102では、所望の結果が得られなければ、再度回路図11をチェックして修正し、ネットリスト12への展開およびステップS101の論理シミュレーションを繰り返し行う。また、所望の結果が得られれば次の段階に進む。

【0028】なお、ステップS101の論理シミュレーションは、与えられるネットリスト12（回路図11）の設計階層に応じて、ゲートレベル、機能レベルまたはゲートおよび機能の混合レベルのシミュレーションを行うが、機能レベル→ゲートおよび機能の混合レベル→ゲートレベルと、設計階層を段階的に下げて、ネットリスト12への展開およびステップS101の論理シミュレーションを繰り返し行うことにより、トップダウン設計手法によって論理設計を行うことも可能である。

【0029】ステップS101のゲートレベルの論理シミュレーションにより、論理や遅延等の設計検証の結果が所望の結果であれば、ステップS103に進んで、セルライブラリデータベース13を参照しながらゲート素子等を配置して素子間の信号を配線するレイアウト設計が行われることになる。レイアウト後のステップS104では、実配線長によるゲートレベルの論理シミュレーションが行われる。ここでも、論理シミュレーションによる論理や遅延等の設計検証結果に応じて、所望の結果が得られなければ、再度レイアウト（マスクデータ14）または回路図11をチェックして修正し、また、所望の結果が得られていれば、作成したマスクデータ14を用いてマスクを作成し、半導体集積回路の製作を行う。その後、ステップS106でテストプログラム15を作成する。

【0030】セルライブラリデータベース13は、ネットリスト12への展開処理、ステップS101の論理シミュレーション、ステップS103のレイアウト設計、ステップS104の論理シミュレーションおよびステップS106のテストプログラム作成において必要なデータを格納しており、展開処理に対してはデザインルール等が、論理シミュレーションに対しては仮想配線長、論理情報および遅延情報等が、レイアウト設計に対しては素子の幾何学情報等が、そしてテストプログラム作成に対してはテストルール等がそれぞれ格納されている。なお、本発明は、論理シミュレーションにおいて使用する

セルライブラリデータベース13に特徴があることから、以下に説明するセルライブラリデータベースの第1および第2の実施形態では、主として論理情報および遅延情報等について詳細に説明し、他の格納情報については省略する。

【0031】〔セルライブラリデータベースの第1の実施形態〕次に、本発明の第1の実施形態に係るセルライブラリデータベースについて説明する。まず、本実施形態のセルライブラリデータベース13が対象としている論理装置の具体例について説明した後、セルライブラリデータベース13内に格納される論理情報および遅延情報等について詳細に説明する。

【0032】図2は、本実施形態のセルライブラリデータベース13が対象としている論理装置の具体例として、低消費電力化を図った半導体集積回路の構成を例示したものである。図2の回路構成例では、回路ブロック毎に電源の供給および供給停止を制御することにより低消費電力化を図っている。

【0033】図2において、121、122は半導体集積回路中に搭載される第1および第2論理ブロックを、101は第1および第2論理ブロック121、122への電源供給を制御する制御信号ctrl1、ctrl2を生成する電源制御回路を、102は第1電源（VDD）ラインを、105は第2電源（VSS）ラインをそれぞれ表している。また111、112はそれぞれ第1および第2論理ブロック121、122への電源供給をON/OFFする電源供給制御スイッチであり、この回路例ではPチャネルトランジスタを用いている。

【0034】次に、この回路構成例により、いかにして低消費電力化が図れるかを説明する。以下では、低電位を“L”と略記し、高電位を“H”と略記する。また、不定値は“X”と略記する。

【0035】第1論理ブロック121が動作するためには、電源供給制御スイッチ111がONとなり、第1論理ブロック121と電源ライン102が接続される必要がある。つまり、電源制御回路101により生成される制御信号ctrl1が“L”である必要がある。同様に、第2論理ブロック122が動作するためには、電源供給制御スイッチ112がONとなり、第2論理ブロック122と電源ライン102が接続される必要がある。つまり、電源制御回路101により生成される制御信号ctrl2が“L”である必要がある。そして、この状態のもとで第1および第2論理ブロック121、122への入力信号in1、in2が変化すると、第1および第2論理ブロック121、122内の回路が動作し、この時に電力を消費することとなる。

【0036】従って、第1論理ブロック121または第2論理ブロック122における電力消費を抑えるときには、電源供給制御スイッチ111または112をそれぞれOFFすることにより、第1論理ブロック121また

は第2論理ブロック122と電源ライン102との接続を切ればよいことになる。

【0037】次に、図2に示した回路構成例を持つ半導体集積回路を上記設計支援装置により設計する(論理シミュレーションを行う)際に、使用する第1実施形態のセルライブラリデータベース13について説明する。図3は、2入力NANDゲート30を標準セルの具体例として、セルライブラリデータベース13内に格納されるシンボルマーク、論理情報および遅延情報の内容を例示する説明図である。なお、セルライブラリデータベース13内の論理シミュレーションに必要な情報としては、消費電力や、遅延時間の入力波形の傾き依存性の項目等が含まれることがあるが、以下の説明では簡単のため、シンボルマーク31、論理関係表32および遅延時間表33のみが含まれるものとしている。

【0038】図3において、31は標準セルの論理を表すシンボルマーク、32は入力信号と出力信号の論理関係表、33は入力信号が変化してから出力信号が出力されるまでの遅延時間表である。シンボルマーク31にも示してあるように、本実施形態におけるセルライブラリデータベース13では、電源が常に供給されていることを前提としているものではなく、電源端子Vから供給されるものであるとしている。

【0039】論理関係表32は、電源端子Vをも含めた論理を説明する表になっている。例えば、電源端子Vが“H”である場合、NANDゲート30は従来の標準セル(図8参照)と同様の動作、つまり、入力端子A、入力端子Bが共に“H”の場合には出力端子Yは“L”となり、入力端子A、入力端子Bの少なくとも一方が“L”の場合には出力端子Yは“H”となる。一方、本実施形態の特徴である電源端子Vについては、電源端子Vが“X”である場合、入力端子A、入力端子Bがどのような信号であっても、電源が供給されていないので、出力端子Yは“X”となる。

【0040】また、遅延時間表33では、従来の標準セル(図8参照)と同様に、入力端子Aが変化してから出力端子Yが変化するまでの遅延時間、入力端子Bが変化してから出力端子Yが変化するまでの遅延時間が、それぞれAY[n s]、BY[n s]と記述されているのに加えて、電源端子Vが“X”から“H”に変化してから出力端子Yが“X”から“H”或いは“L”に変化するまでの遅延時間VY[n s]が記述されている。

【0041】以上説明した本実施形態のセルライブラリデータベース13を用いることにより、図2に例示した回路構成を持つ半導体集積回路について、第1および第2論理ブロック121、122への電源供給を制御する電源供給制御スイッチ111、112、並びに該スイッチ111、112を制御する信号ctrl1、ctrl2を生成する電源制御回路101を含めた半導体集積回路全体を、一度に正確に論理シミュレーションすること

が可能になる。

【0042】なお、図3に示したセルライブラリデータベース13の内容では、論理関係表32には電源端子Vの出力端子Yに対する論理情報を、遅延時間表33には電源端子Vの出力端子Yに対する遅延情報をそれぞれ持つ場合を例示したが、論理関係表32に接地端子Gの出力端子Yに対する論理情報を、遅延時間表33には接地端子Gの出力端子Yに対する遅延情報をそれぞれ持つようにしてもよい。

【0043】また、図3に示したセルライブラリデータベース13の内容では、電源端子Vに供給される電源電圧を1種類に限定して記述されているが、複数種の電源電圧に対応した遅延情報を持つようにしてもよい。図4に示す例では、電源端子Vに供給される電源電圧として3.3[V]、2.5[V]、1.8[V]等の複数種の電圧を適用し、これら複数種の電源電圧に応じた遅延情報を持つ遅延時間表43が格納されている。

【0044】〔セルライブラリデータベースの第2の実施形態〕次に、本発明の第2の実施形態に係るセルライブラリデータベースについて説明する。先ず、本実施形態のセルライブラリデータベース13が対象としているマクロセルおよび論理装置の具体例について説明した後、セルライブラリデータベース13内に格納される論理情報および遅延情報等について詳細に説明する。

【0045】本実施形態のセルライブラリデータベース13は、半導体集積回路で用いられるレベルシフタのように、複数の電源の入力を必要とし、各々の電源がON状態であるという前提において正常に回路が動作し、何れかの電源がOFF状態では回路の出力が無効であるといったマクロセルの論理シミュレーションを可能とするマクロセルをセルライブラリとして持つものである。

【0046】図5は、レベルシフタの回路構成を例示する回路図であり、図5(a)は降圧回路、図5(b)は昇圧回路をそれぞれ示す。すなわち、図5(a)はV1(3.3[V])からV2(2.5[V])に降圧するレベルシフタの回路図であり、図中、Q11、Q13はPチャネルトランジスタ、Q12、Q14はNチャネルトランジスタである。また、図5(b)はV2(2.5[V])からV1(3.3[V])に昇圧するレベルシフタの回路図であり、図中、Q21、Q23、Q25はPチャネルトランジスタ、Q22、Q24はNチャネルトランジスタである。なお、Q25は電源V1系のトランジスタのしきい値に対するマージンを確保して耐ノイズ性を高めるプルアップ用トランジスタである。図5(a)および(b)から、レベルシフタでは、電源V1、V2を必要とし、各電源V1、V2がON状態であるという前提において正常に動作し、何れかの電源V1、V2がOFF状態では回路出力が無効となるのは明らかである。

【0047】図6は、本実施形態のセルライブラリデー

データベース13が対象としている論理装置の具体例として、上記レベルシフトのように、複数電源を持つマクロセルを含む半導体集積回路の回路構成図である。

【0048】図6において、221は、半導体集積回路中に搭載される複数電源VDD1、VDD2を持つマクロセルであり、各電源VDD1、VDD2がON状態であるときに出力Yが有効になる機能素子である。また、201はマクロセル221の電源供給を制御する制御信号ctrl1、ctrl2を生成する電源制御回路、202は第1電源(VDD1)ライン、203は第2電源(VDD2)ライン、205は第3電源(VSS)ライン、211、212はそれぞれ第1電源ライン202および第2電源ライン203とマクロセル221との接続をON/OFFする電源供給制御スイッチであり、この回路例ではPチャネルトランジスタを使用している。

【0049】マクロセル221が正常に動作し、有効な出力をするためには、電源供給制御スイッチ211および212がONとなり、マクロセル221と第1電源ライン202および第2電源ライン203とが接続される必要がある。つまり、電源制御回路201により生成される制御信号ctrl1およびctrl2が“L”である必要がある。

【0050】次に、図6に示した回路構成例を持つ半導体集積回路を上記設計支援装置により設計する(論理シミュレーションを行う)際に、必要となる第2実施形態のセルライブラリデータベース13について説明する。図7は、セルライブラリデータベース13内に格納されるマクロセルのシンボルマーク、論理情報および遅延情報の内容を例示する説明図である。なお、セルライブラリデータベース13内のマクロセルライブラリにおいて論理シミュレーションに必要な情報としては、消費電力や、遅延時間の入力波形の傾き依存性の項目等が含まれることがあるが、以下の説明では簡単のため、シンボルマーク51、論理関係表52および遅延時間表53のみが含まれるものとしている。

【0051】図7において、51はマクロセル50を表わすシンボルマーク、52は入力信号と出力信号の論理関係表、53は入力信号が変化してから出力信号が出力されるまでの遅延時間表である。シンボルマーク51にも示してあるように、本実施形態におけるセルライブラリデータベース13では、電源が常に供給されていることを前提としているものではなく、複数の電源端子V1、V2から供給されるものであるとしている。

【0052】論理関係表52は、電源端子V1、V2をも含めた論理を説明する表になっている。例えば、電源端子V1、V2が共に“H”である場合、マクロセル50は従来のマクロセルと同様の動作、つまりマクロセル50の機能に従って有効な出力結果を出力する。一方、電源端子V1、V2が共に“X”である場合、或いは電源端子V1、V2の何れか一方が“X”である場合に

は、入力端子Aがどのような信号であっても、電源が供給されていないので、出力端子Yは“X”となる。

【0053】また、遅延時間表53では、従来と同様に、入力端子Aが変化してから出力端子Yが変化するまでの遅延時間がAY[n s]と記述されているのに加えて、電源端子V2が“H”のとき電源端子V1が“X”から“H”に変化してから出力端子Yが“X”から“H”或いは“L”に変化するまでの遅延時間V1Y[n s]、並びに、電源端子V1が“H”のとき電源端子V2が“X”から“H”に変化してから出力端子Yが“X”から“H”或いは“L”に変化するまでの遅延時間V2Y[n s]が記述されている。

【0054】以上説明した本実施形態のセルライブラリデータベース13を用いることにより、図6に例示した回路構成を持つ半導体集積回路について、マクロセル221への電源供給を制御する電源供給制御スイッチ211、212、並びに該スイッチ211、212を制御する信号ctrl1、ctrl2を生成する電源制御回路201をも含めた半導体集積回路全体を、一度に正確に論理シミュレーションすることが可能になる。

【0055】なお、図7に示したセルライブラリデータベース13の内容では、論理関係表52には電源端子V1、V2の出力端子Yに対する論理情報を、遅延時間表53には電源端子V1、V2の出力端子Yに対する遅延情報をそれぞれ持つ場合を例示したが、論理関係表52に接地端子VSSの出力端子Yに対する論理情報を、遅延時間表53には接地端子VSSの出力端子Yに対する遅延情報をそれぞれ持つようにしてもよい。

【0056】また、図7に示したセルライブラリデータベース13の内容では、電源端子V1、V2に供給される電源電圧を1種類に限定して記述されているが、複数種の電源電圧に対応した遅延情報を持つようにしてもよい。この場合、第1の実施形態における変形例(図4参照)と同様に、電源端子V1、V2に供給される電源電圧として、例えば3.3[V]、2.5[V]、1.8[V]等の複数種の電圧が適用され、これら複数種の電源電圧に応じた遅延情報が遅延時間表53に記述される。

【0057】また、本実施形態では、複数の電源が全てON状態の時に出力が有効となるマクロセルについて述べたが、複数ある電源の内、1つ或いは幾つかの電源がON状態であれば出力が有効となるマクロセルについても、その状態の論理関係をマクロセルライブラリ中に記述することで、本実施形態でと同等の効果が得られることはもちろんである。

【0058】

【発明の効果】以上説明したように、本発明のセルライブラリデータベースおよび設計支援装置によれば、標準セルに論理端子としての1以上の電源端子を備え、セルライブラリデータベース内の種別毎の標準セルの機能情

報に1以上の電源端子それぞれの出力端子に対する論理情報または遅延情報を持ち、設計支援装置では、該セルライブラリデータベースを用いて論理シミュレーション等を行うこととしたので、複数電源が混在した論理装置の論理シミュレーションを行うことができるのみならず、低消費電力化等の目的のために電源の供給および供給停止の制御機能を備えた論理装置についても、論理装置全体を一括して論理シミュレーションを行なうことができ、結果として正確で容易に論理シミュレーションおよび設計支援を行い得るセルライブラリデータベースおよび設計支援装置を提供することができる。

【 0 0 5 9 】 また、本発明のセルライブラリデータベースおよび設計支援装置によれば、マクロセルに論理端子としての 1 以上の電源端子を備え、セルライブラリデータベース内の種別毎のマクロセルの機能情報に 1 以上の電源端子それぞれの出力端子に対する論理情報または遅延情報を持ち、設計支援装置では、該セルライブラリデータベースを用いて論理シミュレーション等を行うこととしたので、複数電源が混在した論理装置の論理シミュレーションを行うことができるのみならず、低消費電力化等の目的のために電源の供給および供給停止の制御機能を備えた論理装置についても、論理装置全体を一括して論理シミュレーションを行なうことができ、結果として正確で容易に論理シミュレーションおよび設計支援を行い得るセルライブラリデータベースおよび設計支援装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の実施形態の設計支援装置における動作を説明する概念説明図である。

【図2】低消費電力化を図るための回路構成を例示する

回路構成図である。

【図 3】第 1 の実施形態のセルライブラリデータベースの内容説明図（その 1）である。

【図 4】第 1 の実施形態のセルライブラリデータベースの内容説明図（その 2）である。

【図5】レベルシフタの回路構成を例示する回路図である。

【図6】複数電源を持つマクロセルを使用した回路構成を例示する回路構成図である。

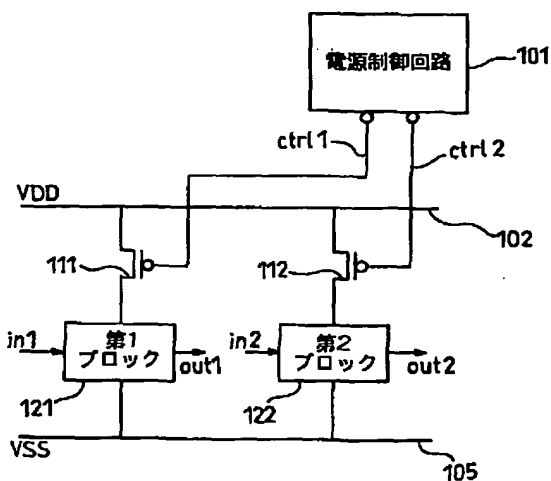
【図 7】第 2 の実施形態のセルライブラリデータベースの内容説明図である。

【図 8】従来のセルライブラリデータベースの内容説明図である。

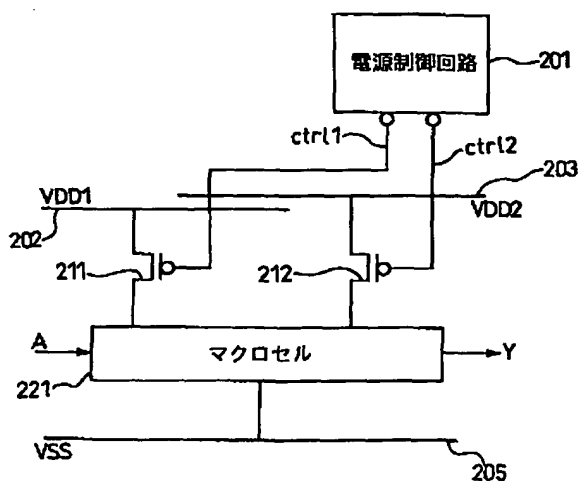
【符号の説明】

- | | |
|----------------------------|----------------|
| 1 1 | 回路図 |
| 1 2 | ネットリスト |
| 1 3 | セルライブラリデータベース |
| 1 4 | マスクデータ |
| 1 5 | テストプログラム |
| 1 0 1, 2 0 1 | 電源制御回路 |
| 1 0 2, 2 0 2, 2 0 3 | 電源ライン |
| 1 0 5, 2 0 5 | 電源ライン |
| 1 1 1, 1 1 2, 2 1 1, 2 1 2 | 電源供給制御スイ
ッチ |
| 1 2 1, 1 2 2 | 論理ブロック |
| 3 1, 4 1, 5 1, 5 0 1 | セルシンボルマーク |
| 3 2, 4 2, 5 2, 5 0 2 | 論理関係表 |
| 3 3, 4 3, 5 3, 5 0 3 | 遅延時間表 |
| 2 2 1 | マクロセル |
| c t r l 1, c t r l 2 | 電源供給制御信号 |

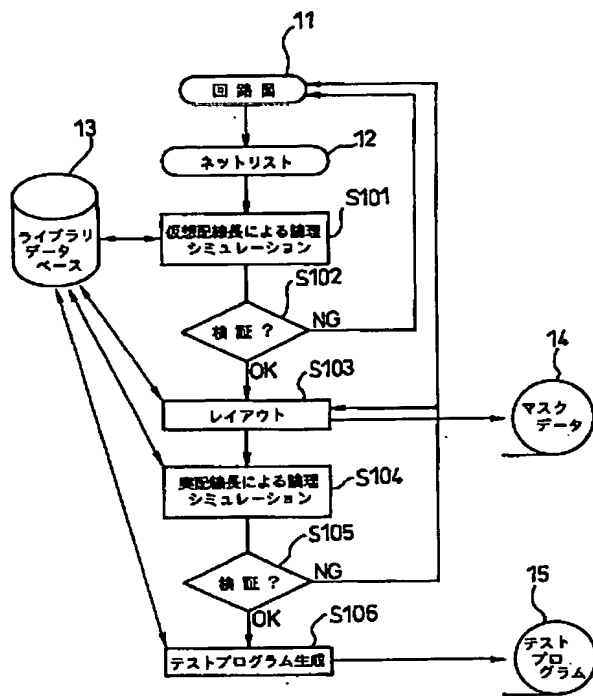
【图 2】



【图 6】

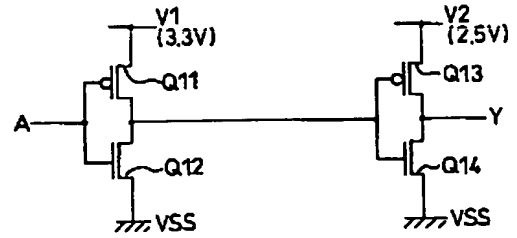


【図1】

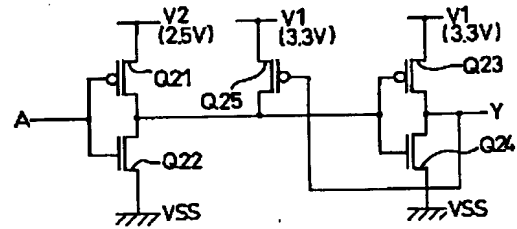


【図5】

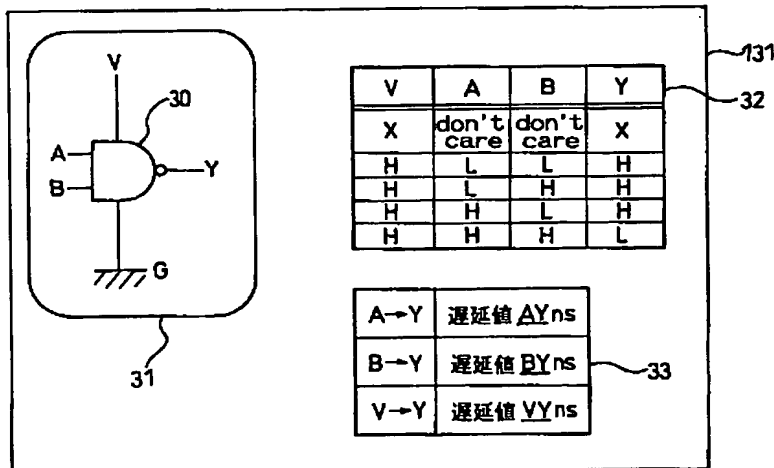
(a) 降圧



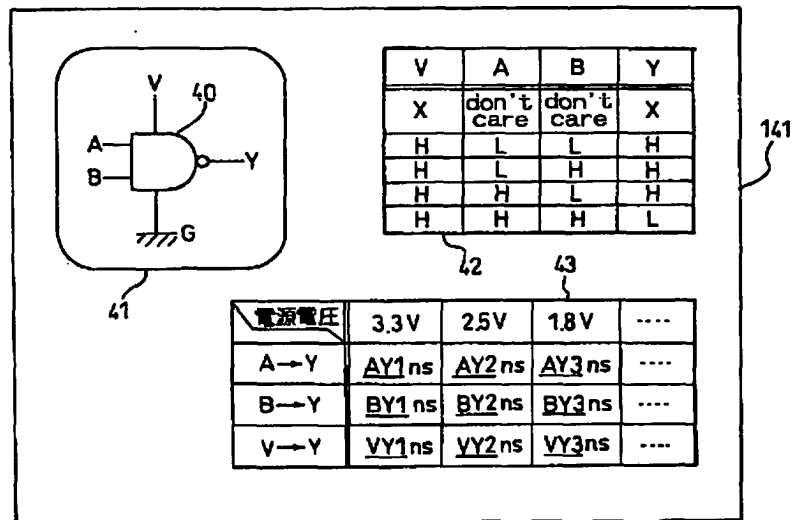
(b) 昇圧



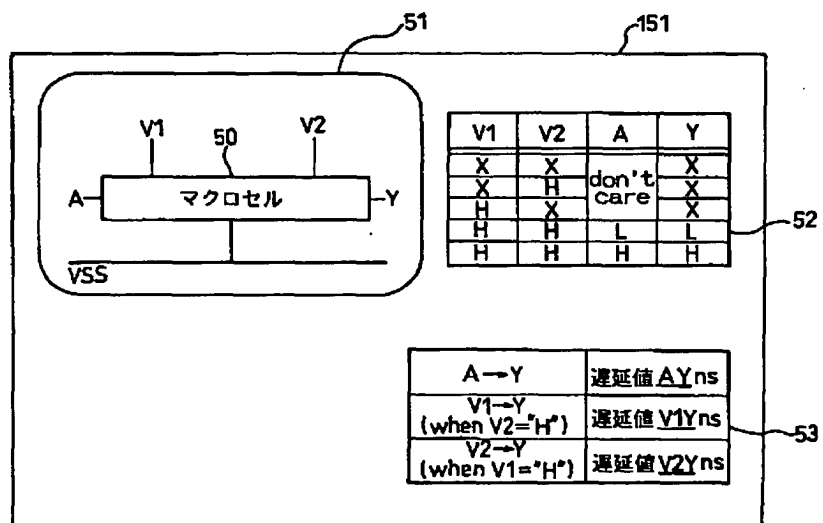
【図3】



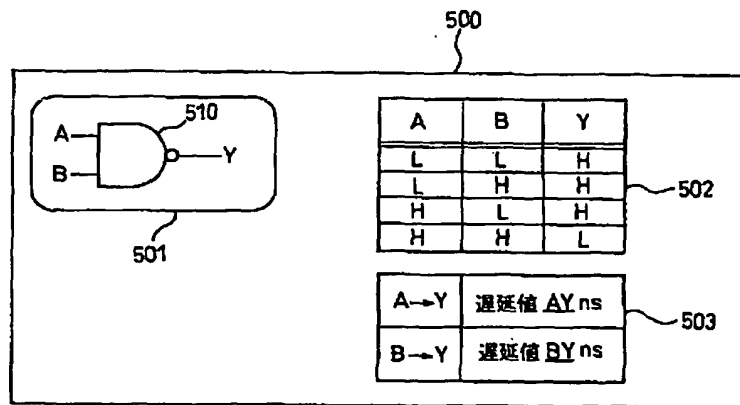
【図4】



【図7】



【図 8】



フロントページの続き

(72)発明者 山本 裕雄
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72)発明者 梶原 準
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

(72)発明者 木下 雅善
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 F ターム(参考) 2G032 AC08 AD06 AE14
 5B046 AA08 BA03 BA09 JA05 KA06